

Citation (d)

Translated Excerpt of Japanese Patent Laid-Open Publication HEI 4-291533

Published: October 15, 1992 (4th year of Heisei)
Title: CLOCK SELECTION SYSTEM FOR CLOCK
SUPPLY CIRCUIT
Case: Japanese Patent Application No. HEI 3-056560
Filed: March 20, 1991 (3rd year of Heisei)
Inventor: Yukako NAKAI
Applicant: FUJITSU LTD.
Attorney: Sadakazu IGETA
Int. Class: H 04 L 7/00, 1/22, H 04 Q 11/04

* * * * *

Page 2, From Column1, Line 50 to Column 2, Line 41:

“[0006] FIG. 4 shows a structure of the above-described clock supply circuits 4-1 to 4-3. Action of the clock supply circuit 4-1 (the same to the circuit 4-3) will be described hereinafter. In FIG. 4, when a clock supply circuit is used in the LTE 1 and 3, external units 12 (active) and 13 (standby) are connected to the clock supply circuit, and the external units 12 and 13 input to the clock supply circuit an active clock (①) and a standby clock (②), respectively.

[0007] A clock interruption detection section 5 in the clock supply circuit selects the active clock (①) under a normal condition and selects the standby clock (②) when the active clock (①) has some troubles, respectively, and then output the selected clock (③). Then, the clock supply circuit add the output from the clock interruption detection section 5 (③) to either of input terminals of a phase comparator (hereinafter referred to as “PC”) 6 in a phase lock loop (hereinafter referred to as “PLL”) 11. The other input terminal of the PC 6, the clock supply circuit adds a signal of the same frequency as the signal added from the clock interruption detection section 5 produced by dividing a frequency of an output from a voltage control oscillator (hereinafter referred to as “VCO”) 9 into 1/N through the use of a frequency division circuit 10.

[0008] Then the PC 6 detects a phase difference of two of the inputted signals (pulses). Subsequently, the PC 6 adds an output voltage corresponding to the phase difference to a

low pass filter (hereinafter referred to as “LPF”) 7, and amplifies the obtained DC voltage component to add it to the VCO 9. The VCO 9 adjusts an oscillation frequency according to the inputted DC voltage component to output it. The output of the VCO 9 is added to the above-described frequency division circuit 10 and also added to a rear circuit (not shown).

[0009] Further, the external units 12 and 13 select one clock source among a plurality of precision clock sources (not shown) to output it. Besides, in case the clock supply circuit is used in the REG 2, a clock extracted from an optical signal by a receiving side is inputted as an active clock (①), and the external unit 13 (standby) inputs a standby clock to the clock supply circuit, as in the case of the above-described LTE 1 and 3 (②).

[0010] In the clock supply circuit, the clock interruption detection section 5 selects the active clock (①) under a normal condition and selects the standby clock (②) if the active clock (①) has some troubles. The clock supply circuit adds the output of the clock interruption section 5 (③) to the PLL 11. Actions of the PLL 11 are the same as those in the above-described LTE 1 and 3, so a description thereof is omitted here.

[0011] As described above, clocks are selected by the clock supply circuit.”

* * * * *

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平4-291533

(43)公開日 平成4年(1992)10月15日

(51) Int.Cl. ⁸ H 04 L 7/00 1/22 H 04 Q 11/04	識別記号 H 8949-5K 7189-5K	序内整理番号 F I 8843-5K	技術表示箇所 H 04 Q 11/04 Z
------------------------------------------------------------------	---------------------------	-----------------------	--------------------------

審査請求 未請求 請求項の数1(全5頁)

(21)出願番号 特願平3-56560	(71)出願人 000005223 富士通株式会社 神奈川県川崎市中原区上小田中1015番地
(22)出願日 平成3年(1991)3月20日	(72)発明者 中井 由佳子 神奈川県川崎市中原区上小田中1015番地 富士通株式会社内

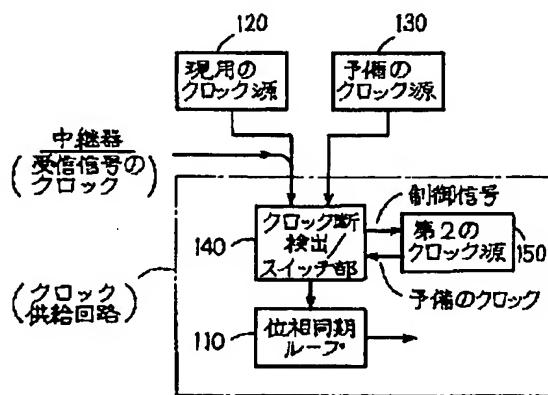
(54)【発明の名称】 クロック供給回路のクロック選択方式

(57)【要約】

【目的】 高速光伝送システムの端局装置と再生中継器のどちらにも使用できるクロック供給回路のクロック選択方式に関し、低コストで作れるクロック供給回路のクロック選択方式を提供することを目的とする。

【構成】 端局装置においては、所定の周波数精度を有する現用及び予備のクロック源120、130の出力の現用及び予備のクロックを入力し、通常は現用のクロックを出力し、現用のクロックが断時には予備のクロックを出力し、中継器においては、受信信号から抽出したクロックを現用のクロックとして入力し、通常は現用のクロックを出力し、現用のクロックが断時には第2のクロック源150から入力した予備のクロックを出力するクロック断検出／スイッチ部140と、クロック断検出／スイッチ部の出力を入力して、入力のクロックと位相同期した所定周波数のクロックを出力する位相同期ループ110とで構成する。

本発明の原理図



1

【特許請求の範囲】

【請求項1】 端局装置と中継器に使用されるクロック供給回路であって、該端局装置においては、所定の周波数精度を有する現用及び予備のクロック源(120, 130)の出力の現用及び予備のクロックを入力し、通常は該現用のクロックを出力し、該現用のクロックが断時には該予備のクロックを出力し、該中継器においては、受信信号から抽出したクロックを現用のクロックとして入力し、通常は該現用のクロックを出力し、現用のクロックが断時には第2のクロック源(150)から入力した予備のクロックを出力するクロック断検出／スイッチ部(140)と、該クロック断検出／スイッチ部(140)の出力を入力して、該入力のクロックと位相同期した所定周波数のクロックを出力する位相同期ループ(110)とを有することを特徴とするクロック供給回路のクロック選択方式。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、高速光伝送システムの端局装置と再生中継器のどちらにも使用できるクロック供給回路のクロック選択方式の改良に関するものである。

【0002】 高速光伝送システムの端局装置や再生中継器では、デジタルデータの送信、中継増幅等にクロックを使用するが、このクロックを供給する回路は、効率、コスト等の点から端局装置と再生中継器のどちらにも使用できる回路が準備される。この場合、出来るだけ低コストで作れるクロック供給回路のクロック選択方式が要望されている。

【0003】

【従来の技術】 図3は一例の光伝送システムの構成図である。図4は従来例のクロック供給回路の構成を示すブロック図である。

【0004】 図3において、端局装置（以下LTEと称する）1、3、及び光再生中継器（以下REGと称する）2にはそれぞれ同じ構成のクロック供給回路4-1、4-2及び4-3が備えられており、これらLTE1とREG2及びREG2とLTE3の間がそれぞれ光ファイバ伝送路により接続されている。そして例えばLTE1において、複数チャネルの入力信号をクロック供給回路4-1から供給されるクロックにより多重化し光信号に変換した後、光ファイバ伝送路に送出する。

【0005】 REG2において、上記光ファイバ伝送路から光信号を受信して電気信号に変換し、クロック供給回路4-2から供給されるクロックを用いて再生増幅を行う。そして光信号に変換した後光ファイバ伝送路に送出する。LTE3において、上記光ファイバ伝送路から光信号を受信して電気信号に変換し、クロック供給回路4-3から供給されるクロックを用いて入力信号の多重化を分離する。

【0006】 上述したクロック供給回路4-1～4-3の構

2

成を図4に示す。以下にクロック供給回路4-1（4-3も同じ）及び4-2の動作について説明する。図4において、LTE1、3に使用されるクロック供給回路の場合、クロック供給回路に外部ユニット12（現用）及び13（予備）が接続され、12及び13よりそれぞれ現用及び予備のクロック（①、②）がクロック供給回路に入力される。

【0007】 クロック供給回路では、クロック断検出部5で、通常は現用のクロック（①）を、又現用のクロック（①）の障害時には予備のクロック（②）を選択して出力する（③）。クロック断検出部5の出力（③）を位相同期ループ（以下PLLと称する）11内の位相比較器（以下PCと称する）6の一方の入力端子に加える。PC6の他方の入力端子には、電圧制御発振器（以下VCOと称する）9の出力の周波数を分周回路10で $1/N$ に分周して、クロック断検出部5から加えたクロック（③）の周波数と同じ周波数にした信号を加える。

【0008】 PC6で2つの入力信号（パルス）の位相差を求め、位相差に対応する出力電圧を低域通過フィルタ（以下LPFと称する）7に加えて、得られる直流電圧成分をアンプ8により増幅した後VCO9に加える。VCO9で上記入力の直流電圧成分に応じて発振周波数を調整して出力する。このVCO9の出力を前述した分周回路10に加えるとともに、後段の回路（図示しない）に加える。

【0009】 尚、上記外部ユニット12及び13は、複数の高精度のクロック源（図示しない）から1つのクロック源を選択して出力する。又、REG2に使用されるクロック供給回路の場合、受信側で光信号から抽出したクロックが現用として入力され（①）、予備クロックには前述したLTE1及び3の場合と同様外部ユニット13（予備）からクロック供給回路に入力される（②）。

【0010】 クロック供給回路では、クロック断検出部5で、通常は現用のクロック（①）を、又現用のクロック（①）の障害時には予備のクロック（②）を選択して出力する（③）。クロック断検出部5の出力（③）をPLL11に加えるが、PLL11の動作については前述したLTE1及び3の場合と同様であるため、その説明を省略する。

【0011】 このようにして、クロック供給回路でクロックの選択を行っていた。

【0012】

【発明が解決しようとする課題】 しかしながら上述のクロック供給回路においては、REG2の予備のクロックとしてはREG内にインターナルクロックのみが必要とされるため、外部ユニットを使用することは極めて効率が悪く、コスト、消費電力が無視できないという問題点があった。

【0013】 したがって本発明の目的は、低成本で作れるクロック選択方式を提供することにある。

【0014】

【課題を解決するための手段】上記問題点は図1に示す回路の構成によって解決される。即ち図1において、端局装置と中継器に使用されるクロック供給回路であつて、端局装置においては、所定の周波数精度を有する現用及び予備のクロック源120、130の出力の現用及び予備のクロックを入力し、通常は現用のクロックを出力し、現用のクロックが断時には予備のクロックを出力し、中継器においては、受信信号から抽出したクロックを現用のクロックとして入力し、通常は現用のクロックを出力し、現用のクロックが断時には第2のクロック源150から入力した予備のクロックを出力するクロック断検出／スイッチ部140と、クロック断検出／スイッチ部140の出力を入力して、入力のクロックと位相同期した所定周波数のクロックを出力する位相同期ループ110とで構成する。

【0015】

【作用】図1において、本発明のクロック供給回路が端局装置に使用される場合、所定の周波数精度を有する現用及び予備のクロック源120、130の出力の現用及び予備のクロックをクロック断検出／スイッチ部140に入力する。そして、クロック断検出／スイッチ部140において、通常は現用のクロックを出力し、現用のクロックが断時にはこれを検出して予備のクロックを出力する。

【0016】次に、クロック断検出／スイッチ部140の出力を位相同期ループ110に加え、位相同期ループ110において入力のクロックと位相同期した所定周波数のクロックを出力する。端局装置に使用される場合は従来例と同じである。

【0017】一方、中継器に使用される場合には、受信信号から抽出したクロックを現用のクロックとしてクロック断検出／スイッチ部140に入力し、通常は現用のクロックを出力する。又、現用のクロックが断時にはクロック断検出／スイッチ部140でこれを検出し、新たに設けた第2のクロック源150から入力した予備のクロックを出力する。

【0018】次に、クロック断検出／スイッチ部140の出力を位相同期ループ110に加え、位相同期ループ110において入力のクロックと位相同期した所定周波数のクロックを出力する。

【0019】この結果、第2のクロック源150を設けることにより、本発明のクロック供給回路を中継器で使用する場合高精度のクロック源としての予備のクロック源130が不必要となり、低成本、低消費電力を実現することが出来る。

【0020】

【実施例】図2は本発明の実施例のクロック供給回路の構成を示すブロック図である。全図を通じて同一符号は同一対象物を示す。

【0021】図2において、LTE1及び3に関しては 50

従来例の場合と同様である。即ち、LTE1、3に使用されるクロック供給回路の場合、クロック供給回路に外部ユニット12(現用)及び13(予備)が接続され、12及び13よりそれぞれ現用及び予備のクロック(①、②)がクロック供給回路に入力される。

【0022】クロック供給回路では、クロック断検出部5で、通常は現用のクロック(①)を、又現用のクロック(①)の障害時には予備のクロック(②)を選択して出力する(③)。クロック断検出部5の出力(③)を後述する選択回路(以下SELと称する)14を介してPLL11内のPC6の一方の入力端子に加える。PC6の他方の入力端子には、VCO9の出力の周波数を分周回路10で1/Nに分周してクロック断検出部5から加えたクロック(③)の周波数と同じ周波数にした後、後段するSEL17を介して加える。

【0023】PC6で2つの入力信号(パルス)の位相差を求め、位相差に対応する出力電圧をLPF7に加えて、得られる直流電圧成分をアンプ8により増幅した後VCO9に加える。VCO9で上記入力の直流電圧成分に応じて発振周波数を調整して出力する。このVCO9の出力を前述した分周回路10に加えるとともに、後段の回路(図示しない)に加える。

【0024】次に、REG2に使用されるクロック供給回路の場合、受信側で光信号から抽出したクロックが現用として入力され(①)、予備クロックとしては新たに設けた発振器(以下OSCと称する)15からのクロック(⑤)がクロック供給回路に入力される。

【0025】クロック供給回路では、クロック断検出部5で、通常は現用のクロック(①)を、又現用のクロック(①)の障害時にはOSC15からのクロック(⑤)を選択して出力する(⑥)。SEL14の出力(⑥)をPLL11'内のPC6の一方の入力端子に加える。PC6の他方の入力端子には、VCO9の出力の周波数を分周回路10で1/Nに分周し、更に分周回路16で1/Mに分周して現用のクロック①又はOSC15から加えたクロック(⑤)の周波数と同じ周波数にした後、SEL17に加える。SEL17でREG使用側(⑥)に切り替えて上記分周回路16の出力をPC6の他方の入力端子に加える。

【0026】PC6で2つの入力信号(パルス)の位相差を求め、位相差に対応する出力電圧をLPF7に加えて、得られる直流電圧成分をアンプ8により増幅した後VCO9に加える。VCO9で上記入力の直流電圧成分に応じて発振周波数を調整して出力する。このVCO9の出力を前述した分周回路10に加えるとともに、後段の回路(図示しない)に加える。

【0027】このようにして、インターナルクロック用のOSC15を設けることにより、REGで使用する時高精度のクロック源としての外部ユニットが不必要となり、低成本、低消費電力を実現することが出来る。

【0028】

5

【発明の効果】以上説明したように本発明によれば、クロック供給回路に予備のクロックを出力する第2のクロック源150を設けることにより、中継器で使用する時高精度のクロック源としての外部ユニットが不要となり、低コスト、低消費電力を実現することが出来る。

【図面の簡単な説明】

【図1】は本発明の原理図、

【図2】は本発明の実施例のクロック供給回路の構成を示すブロック図、

6

【図3】は一例の光伝送システムの構成図、

【図4】は従来例のクロック供給回路の構成を示すブロック図である。

【符号の説明】

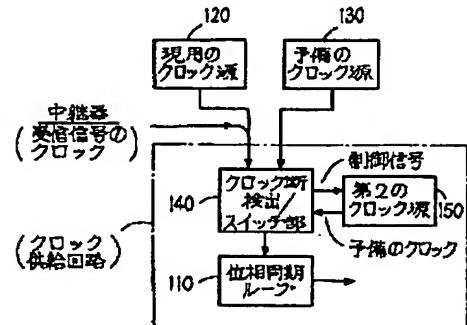
110は位同期ループ、

140はクロック断検出／スイッチ部、

150は第2のクロック源を示す。
を示す。

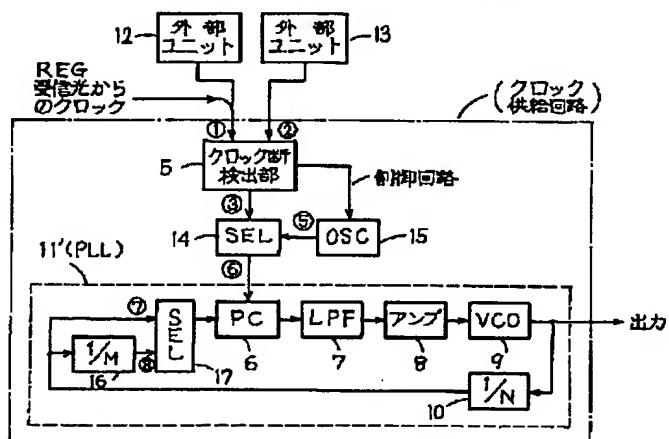
【図1】

本発明の原理図



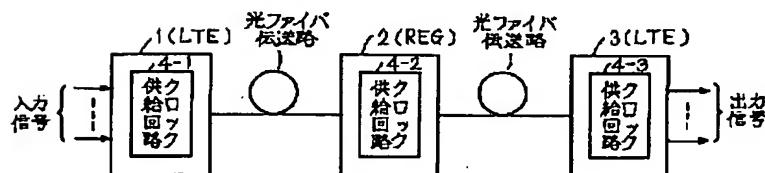
【図2】

本発明の実施例のクロック供給回路の構成を示すブロック図



【図3】

一例の光伝送システムの構成図



【図4】

従来例のクロック供給回路の構成を示すブロック図

